

Diamond

CVD薄膜工艺 / CMOS器件 复合研发工程师

微信：天行健（扫码添加） | 邮箱：见个人主页 | : | 博士在读 · 中共党员

求职意向

CMOS 器件开发 / TD 工艺器件整合 （全国地点不限，看重职业发展空间与薪酬水平）

个人优势

11年半导体全链条研发经验，CVD薄膜工艺与CMOS/TFT/3D NAND器件双线复合背景；头部存储、显示面板、特色工艺Fab完整实战，擅长从薄膜底层工艺维度解决器件电性异常、可靠性衰减与量产失效。

在职攻读集成电路工程博士（武汉某 985 高校），产业工程经验与TCAD仿真、DFM设计协同、PDK建模等前沿理论双向沉淀。

第一发明人发明专利累计60余项（授权5项，其余实审中），覆盖先进CMOS、TFT、3D存储器件结构与CVD薄膜新工艺四大方向，持续创新与独立攻关能力突出。

全链路能力覆盖器件开发、TD工艺整合、PIE良率攻坚、工艺-设计(DFM)协同；区别于单一工艺岗，可独立承担器件端到端研发。

核心技能

器件开发核心能力

CMOS / TFT / 3D NAND 器件研发

工艺-器件关联建模 (TCAD/DFM/PDK)

电性与可靠性分析 (HCI/NBTI/PBTI)

CMOS/MOS器件全流程研发：器件结构设计、DC/AC/瞬态电性测试、阈值/漏电/噪声/可靠性分析（HCI、NBTI、PBTI）；

TFT/LTPO/3D NAND存储器件失效分析、寿命与耐压性能迭代；高k栅介质、界面钝化优化；

TCAD Sentaurus/Silvaco 工艺&器件仿真、应力仿真、器件SPICE参数提取；工艺-器件协同、DFM风险管控、PDK辅助建模。

CVD薄膜工艺 & TD / PIE整合

薄膜均匀性 / 台阶覆盖 / 应力

工艺窗口开发与 SPC 管控

缺陷抑制与良率提升

精通PECVD、HDP、ALD各类介质薄膜工艺开发、配方调试、设备异常处理、量产爬坡；

TD工艺整合：薄膜/刻蚀/注入/退火全流程联动，跨部门PIE、器件、设计协同推进；

量产良率提升、缺陷根因分析、SPC管控、制程Cost down、国产设备工艺适配。

工具与综合能力

仿真 / 测试 (TCAD/Silvaco/Origin)

外语 / 技术报告 (CET-6)

项目管理 / 专利布局

仿真/办公：Silvaco TCAD、Origin、AutoCAD、Office全套；

外语：CET-6，可流畅阅读英文文献、独立撰写中英文技术报告；

项目管理：独立牵头研发项目、DOE实验设计、专利挖掘布局；创新成果：第一发明人发明专利60余项。

工作经历

某特色工艺 Fab

CVD工艺开发工程师 2023.4 — 至今

- 负责先进逻辑（28/40/55nm）/功率器件（90BCD）CVD薄膜研发、量产迭代、良率提升，同步承接CMOS器件电性调试与工艺-器件匹配验证。
- 主导HARP、OX、SIN、HDP、ALD全系列CVD薄膜新工艺开发与量产导入，解决薄膜均匀性、界面缺陷、应力、particle/bump缺陷、晶圆放电等量产痛点，显著提升器件良率与长期可靠性；
- 深度协同器件/PIE团队迭代CMOS、功率器件薄膜堆叠结构，优化界面钝化，改善阈值漂移、漏电、短沟道效应、噪声、耐压衰减等核心器件问题；
- 搭建工艺参数-器件电性关联数据库，建立工艺波动对器件性能影响模型，支撑PDK参数提取、DFM风险预判、TD工艺整合优化；
- 牵头技术创新与知识产权布局，现单位期间产出第一发明人发明专利50余项；
- 推进设备国产化适配、机台产能(WPH)优化与制程成本下降，落地多条国产设备稳定量产薄膜制程。

国内头部存储厂商（3.7年）

3D NAND CVD工艺 & 器件研发工程师2015.7 — 2023.3

- 全程参与3D NAND从“0”到“1”工艺研发及32/64/128/196层技术迭代，具备完整项目及迭代经验；
- 精通OX、SIN、TEOS、HDP、碳膜、ALD全套CVD工艺，负责3D NAND新产品工艺研发，协同PIE完成良率爬坡与国产设备工艺验证落地。

某面板厂（4年）

TFT器件研发工程师2015.7 — 2023.3

- 通过薄膜界面缺陷调控提升TFT器件稳定性，应用四探针测试仪分析MOS管迟滞、NBTI、PBTI、HCI等器件效应；
- 采用TCAD应力仿真收敛薄膜应力失配、Panel裂纹、残影、FOD Mura等面板器件失效问题。

教育经历

武汉某 985 高校

博士在读2024.9 — 至今

集成电路工程 | 博士在读2024.9 — 至今

- 研究方向：先进CMOS器件结构优化、工艺-器件协同建模、器件可靠性与PDK参数校准；深耕Fab制造与IC设计交叉领域，系统掌握器件物理、TCAD仿真、DFM设计协同，已完成2年核心课程与课题研究。

武汉某高校

硕士2012.9 — 2015.6

材料物理与化学 | 硕士2012.9 — 2015.6

- 参与国家自然科学基金、校级重点研发基金项目；第一作者发表7篇学术论文（含3篇SCI、1篇EI、3篇中文核心），主攻MPCVD高质量金刚石薄膜生长机理；熟练使用XPS、SIMS、AFM、FTIR、XRD等薄膜表征设备，Origin、AutoCAD数据建模分析。

核心项目经验

项目1 先进CMOS器件薄膜结构优化与电性迭代

- 联动PIE、器件团队重构CVD薄膜堆叠与界面钝化方案，针对性改善短沟道效应、Vth漂移、漏电、热载流子(HCI)可靠性；依托TCAD仿真预判工艺风险，完成多代器件性能迭代，适配逻辑/功率芯片量产需求，产出多项器件类发明专利。

项目2 CVD新工艺开发与器件协同量产落地

- 针对3D NAND、LTPO、CMOS逻辑器件开发定制化ALD/PECVD薄膜工艺，解决台阶覆盖、薄膜应力、层间匹配缺陷；完成新工艺DOE、可靠性验证、小批量试产到全线量产导入，整体良率大幅提升，支撑TD长期工艺稳定管控。

项目3 工艺-器件关联建模与DFM优化（博士课题）

- 量化CVD薄膜厚度、组分、应力、界面态波动对MOS器件电性、寿命的影响，建立标准化仿真模型；梳理版图/器件结构带来的工艺风险点，输出DFM设计规范，为PDK建模、TD工艺整合、前端器件设计提供数据支撑。

项目4 产线重大缺陷良率攻坚（PIE协同专项）

- 先后解决3D NAND晶圆放电、PECVD颗粒bump缺陷、TFT应力裂纹、LTPO残像失效等量产瓶颈；通过表征分析+DOE定位根因，输出标准化改善recipe与SPC管控，持续稳定产线良率。

■ 知识产权成果

以第一发明人累计60余项发明专利（授权5项，其余进入国家知识产权局实质审查阶段），覆盖四大技术方向：
先进CMOS/TFT/3D存储新型器件结构设计，及噪声/漏电/长期可靠性优化；
PECVD/ALD薄膜新工艺、组分调控、台阶覆盖、界面钝化改良方案；
薄膜应力、颗粒、等离子放电、表面缺陷等量产良率问题成套解决方案；
工艺-器件协同适配、DFM优化、器件电学建模相关创新方案。